

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

**Defective images within this document are accurate representations of the original documents submitted by the applicant.**

**Defects in the images may include (but are not limited to):**

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(1) Japanese Patent Application Laid-Open No. 9-269847 (1997)

“Clock Distribution Circuit and Layout Design Method for the Same”

The following is the translation of columns [0046] and [0047] in page (6):

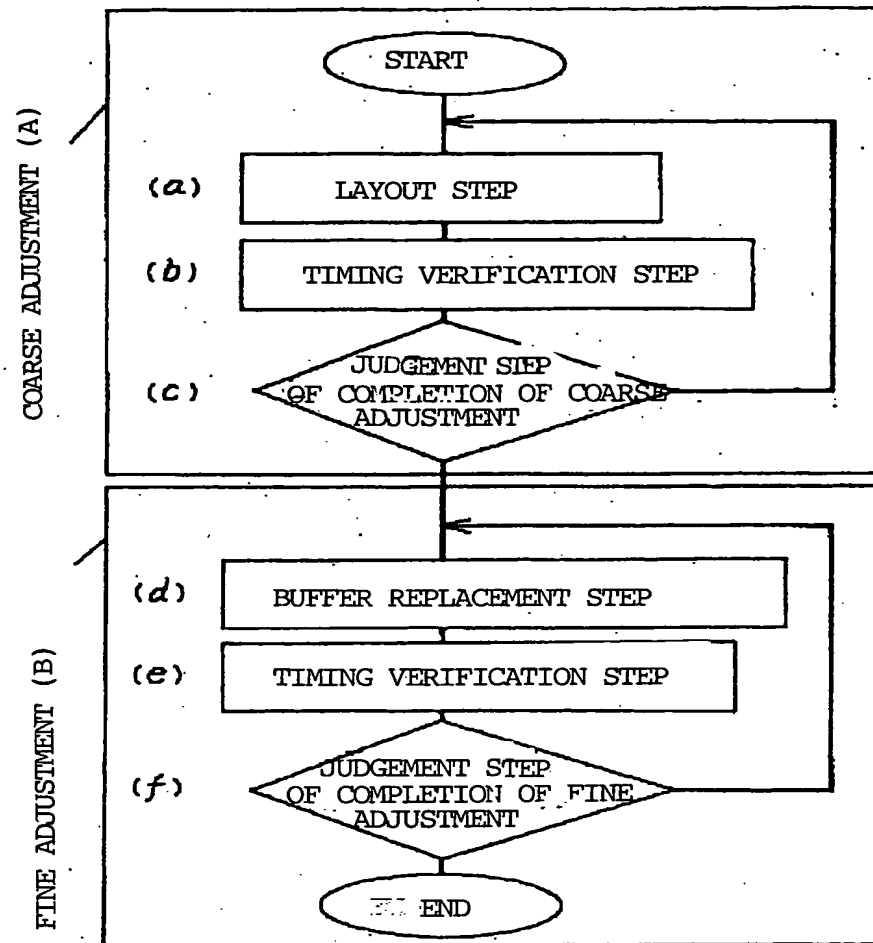
5

#### Buffer Replacement Step (Fig. 4)

A minimum number of buffers in a clock distribution circuit after execution of coarse adjustment are replaced by buffers having different driving capabilities and input capacitances, to thereby perform fine adjustment of clock timing. In this step, though replacement of buffers is performed, there is no change in interconnection length and connection among buffers.

An example of the circuit applicable to the buffer replacement step will be described. Fig. 2 shows a cell 206 including buffers arranged adjacent among one another and having different driving capabilities and input capacitances. The cell 206 including buffers 201, 202 and 203 arranged adjacent among one another and having different driving capabilities and input capacitances is applied as a cell including buffers for forming a clock distribution circuit. According to this structure, switching of buffers is easily performed at interconnection switching portions 204 and 205 during fine adjustment of clock timing after automatic placement and routing.

Fig. 4



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-269847

(43) 公開日 平成9年(1997)10月14日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 1/10			G 0 6 F 1/04	3 3 0 A
	17/50		15/60	6 5 6 D
H 0 1 L 21/82				6 5 8 U
	27/04		H 0 1 L 21/82	W
	21/822		27/04	D
審査請求 未請求 請求項の数 3 O L (全 8 頁)				

(21) 出願番号 特願平8-78548

(22) 出願日 平成8年(1996)4月1日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 田村 仁一

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 吉田 久人

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 炭田 昌哉

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 弁理士 滝本 智之 (外1名)

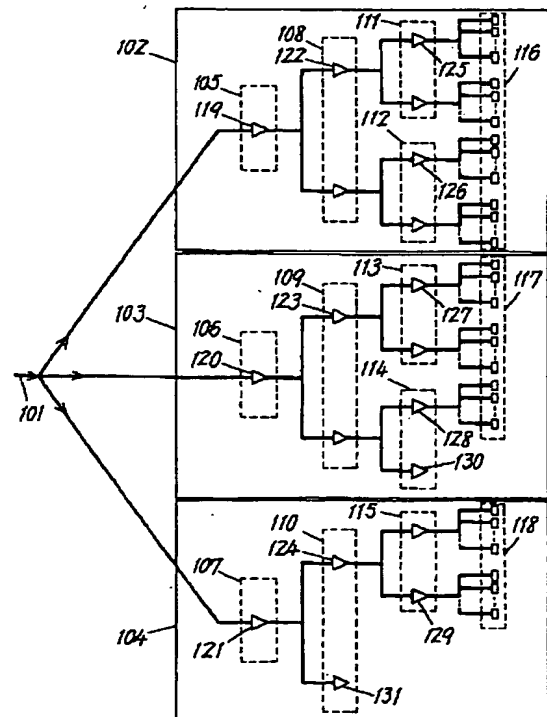
最終頁に続く

(54) 【発明の名称】 クロック分配回路およびそのレイアウト設計方法

(57) 【要約】

【課題】 本発明は、電源電圧や、動作温度、製造プロセスの変動に対して、クロックスキューの変動を低く抑えるためのクロック分配回路を実現することを目的とする。

【解決手段】 クロック分配回路を構成する回路ブロック102、103、104を通じて同じ階層数であり、それぞれの階層で使用するバッファの駆動能力、入力容量は、当該階層内で同等の値である。また、各階層を構成するバッファに接続する次階層のバッファの数を同一の値にする。



## 【特許請求の範囲】

【請求項 1】同一位相のクロック供給を受ける複数の回路ブロックからなるクロック分配回路において、前記回路ブロックはツリー状に縦列接続した複数のバッファを有し、前記バッファにより構成されたツリーはすべての回路ブロックで同じ階層数であり、最終段の階層に属するバッファの出力はクロック供給対象回路に接続され、前記バッファの出力は次階層のバッファの入力に接続されるかあるいはフローティングとなり、またすべての回路ブロックにおいて同一階層に属するバッファの出力は、フローティングになっていない場合に限り、同じ個数のバッファ入力に接続しており、かつすべての回路ブロックにおいて同じ階層を構成するバッファの入力容量と駆動能力とが同一であることを特徴とするクロック分配回路。

【請求項 2】クロックタイミングの粗調整を行った後で微調整を行うレイアウト設計方法において、前記粗調整は、請求項 1 記載のクロック分配回路を構成するように回路配置と接続関係を決定するレイアウトステップと、すべてのクロック供給対象回路に供給されるクロックのスキューの大きさを検証する第 1 のタイミング検証ステップと、前記第 1 のタイミング検証ステップにおいて得られたクロックスキューの大きさが所定値以上か否かを判定する第 1 の判定ステップからなり、前記第 1 の判定ステップにおいてクロックスキューの大きさが所定値以上の場合に前記レイアウトステップと前記第 1 のタイミング検証ステップを再度実行し、かつ前記再度のレイアウトステップではバッファの特性やバッファの接続関係およびバッファの個数を変化させずに、バッファに接続された配線距離を変更することにより行い、また、前記第 1 の判定ステップにおいてクロックスキューの大きさが所定値より小さい場合に前記微調整を実行し、前記微調整は、特定のバッファを異なる特性のバッファに置き換えるバッファ置き換えステップと、すべてのクロック供給対象回路に供給されるクロックのスキューの大きさを検証する第 2 のタイミング検証ステップと、前記第 2 のタイミング検証ステップにおいて得られたクロックスキューの大きさが所定値以上か否かを判定する第 2 の判定ステップからなり、前記第 2 の判定ステップにおいてクロックスキューの大きさが所定値以上の場合に前記バッファ置き換えステップと前記第 2 のタイミング検証ステップを再度実行し、また、前記第 2 の判定ステップにおいてクロックスキューの大きさが所定値より小さい場合に前記微調整を終了するクロック分配回路のレイアウト設計方法。

【請求項 3】クロック分配回路を構成するバッファの各々の位置に特性の異なる 2 個以上のバッファを配置し、前記 2 個以上のバッファのうちのいずれか 1 つを選択することによりバッファ置き換えステップを実行することを特徴とする請求項 2 記載のクロック分配回路のレイア

## ウト設計方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、VLSI（超大規模集積回路）の設計に関し、特に、異なる回路ブロックに同一クロックを供給するためのクロック分配回路に関するものであり、各クロックの到着時間のスキューを少なくするためのクロック分配回路とそのレイアウト設計方法に関するものである。

## 【0002】

【従来の技術】従来の技術としては、特公平 7-66400 号公報に記載されたものが知られている。

【0003】上記従来技術によれば、クロック分配回路のレイアウト設計を行う場合、クロック分配回路の上位レベルに能力固定のバッファを用いて負荷一定になるようにターミネータ（負荷調整用のバッファ）で調整し、下位レベルは、このターミネータが多くなるのを避けるためにバッファの駆動能力を調整して遅延時間一定にし、負荷が最小にみたないときのみターミネータを挿入することにより構成されたクロック分配回路である。

## 【0004】

【発明が解決しようとする課題】上記の従来技術では、バッファの能力を調整したり、負荷調整にターミネータを挿入することにより、クロックスキューの低減を図っている。

【0005】しかしながら、バッファの駆動能力や、ターミネータの負荷は、それぞれ、電源電圧や、動作温度、製造プロセスに対し異なった依存性を持つため、従来技術のクロック分配回路では、特定の電源電圧、動作温度、製造プロセスに対しては、クロックスキューを低減できるが、電源電圧や、動作温度、製造プロセスの変動に対してクロックスキューが低い状態を維持することは、困難である。

【0006】本発明は、電源電圧や、動作温度、製造プロセスの変動した場合でも、クロックスキューの変動を低く抑えるためのクロック分配回路を実現することを目的とする。

## 【0007】

【課題を解決するための手段】この課題を解決するために本発明は、ツリー形式でバッファを接続することによりクロック分配回路を構成する場合に、ツリーを構成するバッファのうち同じ階層のバッファ特性（駆動能力、入力容量等）やバッファの個数を、すべての回路ブロック間で等しくすることを特徴とするものである。

## 【0008】

【発明の実施の形態】以下、本発明の実施の形態について説明する。

【0009】まず、請求項 1 に記載のクロック分配回路は、同一位相のクロック供給を受ける複数の回路ブロックからなるクロック分配回路において、回路ブロックは

ツリー状に縦列接続した複数のバッファを有し、このバッファにより構成されたツリーはすべての回路ブロックで同じ階層数であり、最終段の階層に属するバッファの出力はクロック供給対象回路に接続され、バッファの出力は次階層のバッファの入力に接続されるかあるいはフローティングとなり、またすべての回路ブロックにおいて同一階層に属するバッファの出力は、フローティングになっていない場合に限り、同じ個数のバッファ入力に接続しており、かつすべての回路ブロックにおいて同じ階層を構成するバッファの入力容量と駆動能力とが同一であることを特徴とする。

【0010】そして、この構成により、クロック分配回路をクロック供給先回路（例えばフリップフロップ）から、クロック供給元の方に遡って見ると、いずれのフリップフロップについてのクロック伝搬経路も、相似の条件、すなわち、クロックが経由するバッファの個数が同一であり、またそれぞれのバッファの特性、すなわち駆動能力や入力負荷容量等が同一の値になるので、電源電圧や、動作温度、製造プロセスが変動した場合でもこれらのバッファ特性は同一の値となり、電源電圧や、動作温度、製造プロセスの変動に対して、クロックスキューの変動を低く抑えることができる。

【0011】また、請求項2記載のクロック分配回路のレイアウト設計方法は、クロックタイミングの粗調整を行った後で微調整を行うレイアウト設計方法において、粗調整は、請求項1記載のクロック分配回路を構成するように回路配置と接続関係を決定するレイアウトステップと、すべてのクロック供給対象回路に供給されるクロックのスキューの大きさを検証する第1のタイミング検証ステップと、第1のタイミング検証ステップにおいて得られたクロックスキューの大きさが所定値以上か否かを判定する第1の判定ステップからなり、第1の判定ステップにおいてクロックスキューの大きさが所定値以上の場合にレイアウトステップと第1のタイミング検証ステップを再度実行し、かつ再度のレイアウトステップではバッファの特性やバッファの接続関係およびバッファの個数を変化させずに、バッファに接続された配線距離を変更することにより行い、また、第1の判定ステップにおいてクロックスキューの大きさが所定値より小さい場合に微調整を実行し、微調整は、特定のバッファを異なる特性のバッファに置き換えるバッファ置き換えステップと、すべてのクロック供給対象回路に供給されるクロックのスキューの大きさを検証する第2のタイミング検証ステップと、第2のタイミング検証ステップにおいて得られたクロックスキューの大きさが所定値以上か否かを判定する第2の判定ステップからなり、第2の判定ステップにおいてクロックスキューの大きさが所定値以上の場合にバッファ置き換えステップと第2のタイミング検証ステップを再度実行し、また、第2の判定ステップにおいてクロックスキューの大きさが所定値より小

い場合に微調整を終了する。

【0012】この設計方法によれば、粗調整において複数のパラメータを変化させずに配線長のみを変えているので、バッファの最適配置を求める場合に収束が早い。また、その後の微調整において必要最小限の数だけバッファを置き換えてバッファ特性を変えるので、結果として回路全体に使用されているバッファ特性は同一のものが多くなり、電源電圧や、動作温度、製造プロセスの変動に対しても安定なクロックを供給しうるクロック分配回路を提供できる。

【0013】また、請求項3記載のレイアウト設計方法は、上記の請求項2記載のレイアウト設計方法において、クロックタイミングの微調整時に行うバッファの置き換えを以下のように行う。すなわち、クロック分配回路を構成するバッファの各々の位置に特性の異なる2個以上のバッファを配置し、これらの2個以上のバッファのうちのいずれか1つを選択することによりバッファを切り換えてクロックタイミングの微調整を行う。

【0014】そして、この方法によりバッファの特性変更を容易に行えるので、クロック分配回路の各階層ごとのクロックタイミングの微調整が容易になる。

【0015】以下、本発明の実施の形態について、図1から図3を用いて説明する。

（実施の形態1）図1は、本発明の一実施の形態におけるクロック分配回路の構成を示す。

【0016】クロック分配回路は、回路ブロック102、103、104から構成されており、すべての回路ブロックに共通のクロック101が入力している。なお、この実施例では、回路ブロック102、103、104において、クロック供給対象の回路、すなわちフリップフロップの数は、102が最多、104が最小の場合を示している。

【0017】回路ブロック102、103、104は複数のバッファとフリップフロップおよびこれらの間を接続する配線から構成されている。回路ブロック102、103、104のそれぞれにおいて、クロックは、クロック分配回路の第1階層105、106、107から、第2階層108、109、110、第3階層111、112、113、114、115のバッファを介してフリップフロップ群116、117、118に到達する。

【0018】ここで、クロック分配回路の階層数は、回路ブロック102、103、104を通じて共通の階層数であり、それぞれの階層で使用するバッファの駆動能力、入力容量は、同じ階層内で同一の値である。

【0019】すなわち、回路ブロック102の第1階層105のバッファ119の駆動能力、入力容量は、他の回路ブロック103、104の第1階層106、107のバッファ120、121の駆動能力、入力容量と同一であり、また、回路ブロック102の第2階層108の

バッファ122の駆動能力、入力容量は、他の回路ブロック103、104の第2階層109、110のバッファ123、124の駆動能力、入力容量と同一であり、さらに、回路ブロック102の第3階層111のバッファ125の駆動能力、入力容量は、同じ回路ブロック102の第3階層112のバッファ126の駆動能力、入力容量と同一であり、他の回路ブロック103、104の第3階層113、114、115のバッファ127、128、129の駆動能力、入力容量と同一である。

【0020】また、各階層を構成するバッファに接続する次階層のバッファの数を同一にする。

【0021】すなわち、回路ブロック102、103、104の第1階層105、106、107のそれぞれを構成するバッファ119、120、121のひとつあたりが駆動する第2階層108、109、110に属するバッファ数は一定である。図1の場合は、第1階層のバッファ1つあたり第2階層のバッファを2個駆動している。

【0022】また、回路ブロック102、103、104の第2階層108、109、110のそれぞれのバッファひとつあたりが駆動する第3階層111、112、113、114、115に属するバッファ数も、一定の数である。

【0023】このように同じ階層であればそれぞれのバッファひとつあたりが駆動するバッファの数（すなわち次の階層に属するバッファ数）が等しくなるように設計している。

【0024】但し、回路ブロックに含まれるフリップフロップの数によっては、図1のバッファ130、131のようにバッファ自身が、クロック分配回路の終端となるものもある。これらの終端となるバッファについては、駆動する次段のバッファが存在しないため、上記一定の数の次段バッファ数をもたない。

【0025】すなわち、バッファの出力がフローティングになっていない場合に限り、この同じ階層を構成する夫々のバッファの出力を受ける次段の階層を構成するバッファの数がいずれも同一であるようにバッファを配置接続する。

【0026】このように図1のクロック分配回路を、クロック供給対象回路であるフリップフロップから、クロック供給元の方に遡って見ると、いずれのフリップフロップについてのクロック伝搬経路も、相似の条件、すなわち、クロックが経由するバッファの数が同一の値であり、それぞれのバッファの駆動能力、負荷容量が、同一の値となるような構成である。

【0027】作用について、本発明と従来技術との差がわかるように、図3を用いて説明する。

【0028】図3は、本発明と、従来技術のそれぞれの実施例を、差異を強調して簡略化したものである。301は、本発明によるクロック分配回路であり、302

は、同じ回路ブロックに対して従来技術によるクロック分配回路を適用したものである。303、304は、入力容量値10フェムト（10の（-15）乗）ファラド（以下fFという）、ドライブ能力値8.0pS（ピコ秒）/fFのバッファである。ここで、ドライブ能力値については、出力の立ち上がり、立ち下がり遅延時間の1fFあたりの増分である。

【0029】同様に、305、306は、入力容量値20fF、ドライブ能力値4.0pS/fFのバッファ、307、308、309は、入力容量値40fF、ドライブ能力値2.0pS/fFのバッファ、310は、入力容量値32fF、ドライブ能力値2.5pS/fFのバッファ、311は、入力容量値8fFのターミネータとしてのバッファ、312、313、314、315、316、317、318は、入力容量値80fF、ドライブ能力値1.0pS/fFのバッファ、319、320は、入力容量値10fFのフリップフロップ群である。すべてのバッファの固有遅延値は、50pSである。配線容量は、一律240fFである。

【0030】従来技術によるクロック分配回路302では、バッファ310のドライブ能力が調整されており、本発明によるクロック分配回路のバッファ315に相当するバッファが、省略されており、かわりにターミネータとしてのバッファ311が、クロック分配回路に付加されている。

【0031】バッファ1段の遅延は、スロープ遅延などを0とすると、  
遅延時間=固有遅延+接続遅延=固有遅延+ドライブ能力×（入力容量+配線容量）  
であらわされる。

【0032】本発明によるクロック分配回路のクロック分配元325から、クロック到達先であるフリップフロップの321までの遅延時間を具体的に計算すると、

$$\{50+8.0 \times (20+240)\} + \{50+4.0 \times (40+40+240)\} + \{50+2.0 \times (80+80+240)\} + \{50+1.0 \times (10+10+10+240)\} = 2130+1330+850+320 = 4630 \text{ (pS)}$$

であり、クロック分配元325から、フリップフロップ322までの遅延時間は、

$$\{50+8.0 \times (20+240)\} + \{50+4.0 \times (40+40+240)\} + \{50+2.0 \times (80+80+240)\} + \{50+1.0 \times (10+10+10+240)\} = 2130+1330+850+320 = 4630 \text{ (pS)}$$

であり、同じ値である。

【0033】従来技術によるクロック分配回路のクロック分配元326から、フリップフロップ323までの遅延時間は、

$$\{50+8.0 \times (20+240)\} + \{50+4.0$$

$$\times (40+20+20+240)\} + \{50+2.0 \times (80+80+240)\} + \{50+1.0 \times (10+10+10+240)\} = 2130+1330+850+320=4630 \text{ (pS)}$$

であり、クロック分配元326から、フリップフロップ324までの遅延時間は、

$$\{50+8.0 \times (20+240)\} + \{50+4.0 \times (40+32+8+240)\} + \{50+2.5 \times (80+240)\} + \{50+1.0 \times (10+10+10+240)\} = 2130+1330+850+320=4630 \text{ (pS)}$$

であり、同じ値である。

【0034】本発明でも、従来技術でも、同等のクロックスキューを達成できている。これに対し、温度変化等が原因で回路ブロック中のドライブ能力の値が20%増加し、入力容量の値が10%減少した場合、本発明によるクロック分配回路のクロック分配元325から、クロック到達先であるフリップフロップ321までの遅延時間を具体的に計算すると、

$$\{50+9.6 \times (18+240)\} + \{50+4.8 \times (36+36+240)\} + \{50+2.4 \times (72+72+240)\} + \{50+1.2 \times (9+9+9+240)\} = 2526.8+1574.6+971.6+370.4=5416.4 \text{ (pS)}$$

であり、クロック分配元325から、フリップフロップ322までの遅延時間は、

$$\{50+9.6 \times (18+240)\} + \{50+4.8 \times (36+36+240)\} + \{50+2.4 \times (72+72+240)\} + \{50+1.2 \times (9+9+9+240)\} = 2526.8+1574.6+971.6+370.4=5416.4 \text{ (pS)}$$

であり、同じ値である。

【0035】従来技術によるクロック分配回路のクロック分配元326から、フリップフロップ323までの遅延時間は、

$$\{50+9.6 \times (18+240)\} + \{50+4.8 \times (36+18+18+240)\} + \{50+2.4 \times (72+72+240)\} + \{50+1.2 \times (9+9+9+240)\} = 2526.8+1574.6+971.6+370.4=5416.4 \text{ (pS)}$$

であり、クロック分配元326から、フリップフロップ324までの遅延時間は、

$$\{50+9.6 \times (18+240)\} + \{50+4.8 \times (36+28.8+7.2+240)\} + \{50+3.0 \times (72+240)\} + \{50+1.2 \times (9+9+9+240)\} = 2526.8+1574.6+986+370.4=5430.8 \text{ (pS)}$$

である。

【0036】本発明によるクロック分配回路では、クロックスキューを抑えられたのに対し、従来技術によるク

ロック分配回路では、

$$5430.8 \text{ (pS)} - 5416.4 \text{ (pS)} = 14.4 \text{ (pS)}$$

のクロックスキューが生じることになる。

【0037】このように図1に示した回路は温度変化や電圧変化等の環境変化に対しても安定なクロックを供給できる回路である。

【0038】次に図1に示すクロック分配回路を用いたレイアウト設計方法について説明する。図4はこのレイアウト設計方法の手順を示すフローチャートである。同図に示すようにこのレイアウト設計では、まずクロックタイミングの粗調整(A)を行い、次に微調整(B)を行う。

【0039】粗調整(A)は、レイアウトステップ

(a)とタイミング検証ステップ(b)と粗調整終了判定ステップ(c)からなる。

【0040】レイアウトステップ(a)

図1に示したクロック分配回路の規則に従ってバッファやフリップフロップの接続関係を決定し、配置、配線する。すなわち、回路ブロックに依存せず、バッファの階層数は同一とし、また、同一階層のバッファの駆動能力や入力容量は同じで、かつ、バッファの出力がフローティングになっていない場合に限り、同じ階層を構成する夫々のバッファの出力を受ける次段の階層のバッファ数が同一になるようにバッファを配置接続する。

【0041】ただし、配線長や配置位置については自由に定める。

タイミング検証ステップ(b)

レイアウトステップ(a)で仮決定されたクロック分配回路について、クロックタイミングを検証する。すなわち、レイアウトステップ(a)で仮決定された回路は、バッファ間やバッファとフリップフロップの間を接続する配線の長さを特に定めていないので、配線容量が異なることが原因となり、大きなクロックスキューを生じる可能性がある。このステップでは、このクロックスキューの大きさを検証する。

【0042】粗調整終了判定ステップ(c)

タイミング検証ステップ(b)で得られたクロックスキューの大きさが、所定値以上か否かを判定する。

【0043】もし、クロックスキューが所定値以上(例えば0.20 nS(ナノ秒)以上)であれば再びレイアウトステップ(a)を実行する。このレイアウトステップ(a)では、バッファ間の接続関係や、バッファの駆動能力および入力容量の値については変えずに、配線長(すなわち配線容量と配線抵抗)のみを変化させる。

【0044】もし、クロックスキューが所定値以下であれば、微調整(B)へと進む。また、この粗調整終了判定ステップ(c)で次のような判定を行ってもよい。すなわち、微調整の必要のない程クロックスキューが小さい場合(例えば0.10 nS以下)には粗調整でレイアウト



トを最終決定するようにしてもよい。

【0045】微調整(B)はバッファ置き換えステップ(d)とタイミング検証ステップ(e)と微調整終了判定ステップ(f)からなる。

【0046】バッファ置き換えステップ(d)

粗調整の終了したクロック分配回路に対して、最小限のバッファを駆動能力や入力容量の異なるバッファに置き換えることにより、クロックタイミングの微調整を行う。ただし、このステップではバッファを置き換えるだけで、配線長やバッファどうしの接続関係については変更しない。

【0047】このバッファ置き換えステップに用いることのできる回路の一例を説明する。図2は、駆動能力や入力容量の異なったバッファを隣接させた構造のセル206を示す。クロック分配回路を構成するバッファのセルとして、駆動能力や入力容量の異なったバッファ201、202、203を隣接させた構造のセル206を適用することにより、自動配置配線後のクロックタイミングの微調整時に配線切り換え部204、205でバッファの切り換えを容易にした構成である。

【0048】タイミング検証ステップ(e)

バッファの置き換えられたクロック分配回路について、クロックタイミングを検証する。すなわちクロックスキューの大きさを検証する。

【0049】微調整終了判定ステップ(f)

タイミング検証ステップ(e)で得られたクロックスキューの大きさが、所定値以上か否かを判定する。

【0050】もし、クロックスキューが所定値以上(例えば0.11nS以上)であれば再びバッファ置き換えステップ(d)を実行する。

【0051】もし、クロックスキューが所定値以下であれば、レイアウトを最終決定し、レイアウト設計を終了する。

【0052】以上のように、このレイアウト設計方法によれば、レイアウトステップで変更可能なパラメータを限定しており、その後にクロックタイミングの微調整を行うので、何ら限定せずにすべてのパラメータを変更しながら最適のレイアウトを求める方法に比べて、最適のレイアウトに収束するまでの時間が短くなる。従って設計時間を短縮することができる。

【0053】また、微調整においてバッファの特性(駆

動能力や入力容量)を変更するが、必要最小限の個数についてだけ変更するので、バッファの特性は回路全体ではほぼ等しくなる。従って、電源電圧や、動作温度、製造プロセスの変動に対して、クロックスキューの変動が、低く抑えられるという効果もある。

【0054】

【発明の効果】以上説明したように、本発明によれば、電源電圧や、動作温度、製造プロセスの変動に対して、クロックスキューの変動が、低く抑えられるという有利な効果が得られる。

【図面の簡単な説明】

【図1】本発明のクロック分配回路の構成図

【図2】本発明のバッファ置き換え用セルの構成図

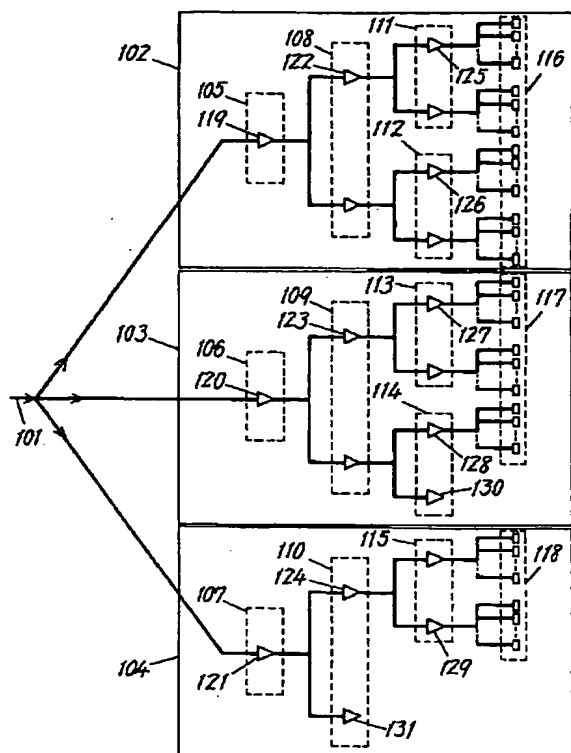
【図3】本発明と従来技術の比較図

【図4】本発明のレイアウト設計方法を示すフローチャート

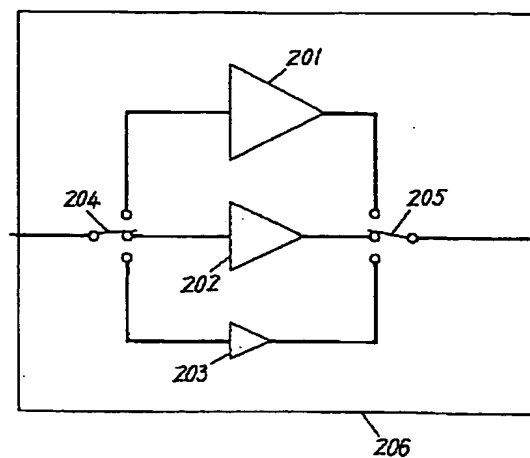
【符号の説明】

- 101 各回路ブロックに分配されるクロック
- 102 回路ブロック
- 103 回路ブロック
- 104 回路ブロック
- 105、106、107 クロック分配回路の第1階層
- 108、109、110 クロック分配回路の第2階層
- 111、112、113、114、115 クロック分配回路の第3階層
- 116、117、118 フリップフロップ群
- 119、120、121 第1階層のバッファ
- 122、123、124 第2階層のバッファ
- 125、126、127、128、129 第3階層のバッファ
- 130、131 クロックの終端となっているバッファ
- 201、202、203 特性の異なるバッファ
- 204、205 配線切り換え部
- 206 バッファを隣接させた構造のセル
- 301 本発明によるクロック分配回路をもつ回路ブロック
- 302 従来技術によるクロック分配回路をもつ回路ブロック
- 303～318 バッファ
- 319、320 フリップフロップ群
- 321、322、323、324 フリップフロップ

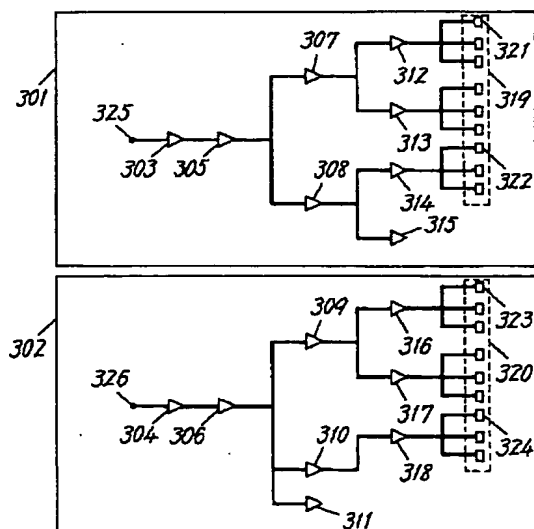
【図1】



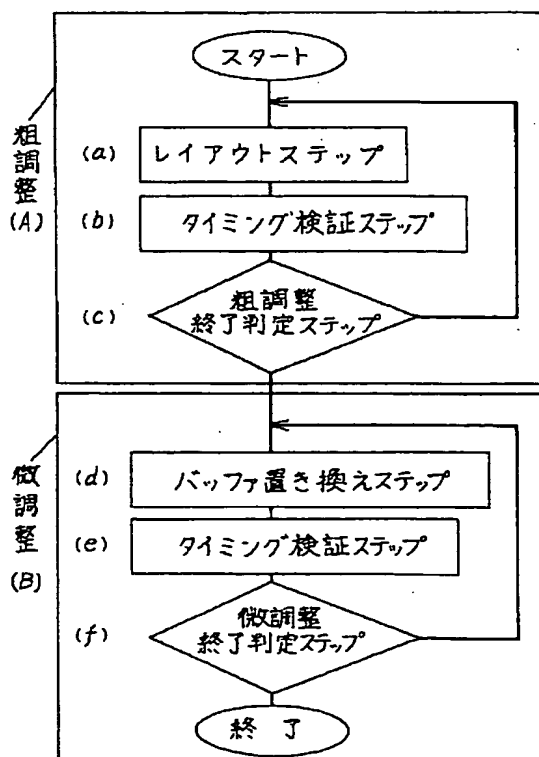
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 山本 裕明

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内